

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-307958

(43)Date of publication of application : 30.10.1992

(51)Int.Cl.

H01L 21/90

(21)Application number : 03-072750

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.04.1991

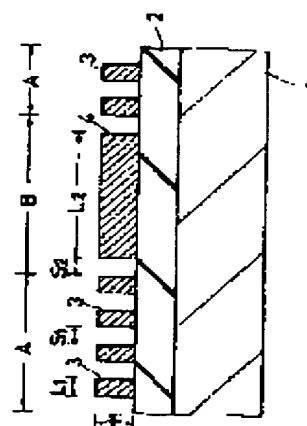
(72)Inventor : WAKABAYASHI HIROAKI
ISHII YOSHIKI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To realize improvement in reliability of a layer insulating film and improvement in the shape of the sectional area of a pattern in the manufacturing process of a semiconductor integrated circuit.

CONSTITUTION: On the occasion of forming wirings 3 on a semiconductor substrate 1, a dummy pattern 4 is arranged in a region (B) where coarse wirings are laid and an interval (S2) between this dummy pattern 4 and the adjacent wirings 3 is set equal to an interval (S1) between the wirings 3, 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307958

(43) 公開日 平成4年(1992)10月30日

(51) Int.Cl.⁵

H 0 1 L 21/90

識別記号

庁内整理番号

F I

技術表示箇所

K 7353-4M

審査請求 未請求 請求項の数 5 (全 5 頁)

(21) 出願番号 特願平3-72750

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 若林 宏昭

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(72) 発明者 石井 芳晶

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武蔵工場内

(74) 代理人 弁理士 筒井 大和

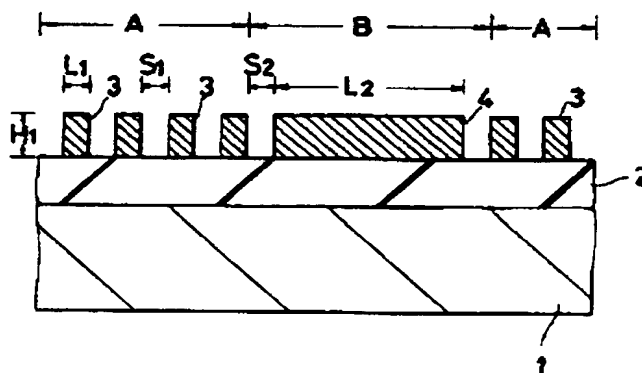
(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【目的】 半導体集積回路の製造工程において、層間絶縁膜の信頼性向上とパターン断面形状の改善を実現する。

【構成】 半導体基板1上に配線3を形成する際、配線3が疎な領域(B)にダミーパターン4を配置し、このダミーパターン4とこれに隣接する配線3との間隔(S₂)を、配線3、3同士の間隔(S₁)と略等しくする。

図 1



3 : 配線

4 : ダミーパターン

【特許請求の範囲】

【請求項1】 半導体基板上に堆積した薄膜をエッチングにより加工して所定のパターンを形成する際、パターンが疎な領域にダミーパターンを配置し、前記ダミーパターンとこれに隣接するパターンとの間隔をパターンが密な領域に形成されるパターン同士の間隔と略等しくすることを特徴とする半導体集積回路装置の製造方法。

【請求項2】 前記ダミーパターンを前記パターンと同一の材料を用いて同一の工程で形成することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】 前記パターンは、配線であることを特徴とする請求項1または2記載の半導体集積回路装置の製造方法。

【請求項4】 前記パターンと前記ダミーパターンとを形成した後、それらの上に層間絶縁膜を堆積することを特徴とする請求項1、2または3記載の半導体集積回路装置の製造方法。

【請求項5】 前記層間絶縁膜は、スピノングラスであることを特徴とする請求項4記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の製造技術に関し、特に、微細で、かつアスペクト比の高いパターンを多用する、加工寸法 $0.8\mu\text{m}$ 以下の半導体集積回路の製造工程における層間絶縁膜の信頼性向上とパターン断面形状の改善に適用して有効な技術に関するものである。

【0002】

【従来の技術】 4メガビット(Mbit) DRAMや16メガビットDRAMなど、加工寸法が $0.8\sim 0.5\mu\text{m}$ の半導体集積回路の製造工程では、層間絶縁膜の平坦化技術や、微細で、かつアスペクト比の高いパターンの加工技術が必須となっている。上記層間絶縁膜の平坦化技術については、株式会社プレスジャーナル、平成元年10月20日発行の「月刊セミコンダクターワールド、1989年11月号」P73～P93などにおいて論じられている。

【0003】

【発明が解決しようとする課題】 ところで、加工寸法が $0.8\mu\text{m}$ 以下の半導体集積回路の製造工程では、パターンが密な領域と疎な領域とが混在しているような箇所において、マイクロローディング効果の影響が無視できないものとなってきた。マイクロローディング効果とは、パターン密度の差によって同一加工時間でエッチングの深さに差が生じる現象である。

【0004】 一例として、アルミニウム(Al)系合金に対するエッチング深さのパターン寸法依存性を図4に示す。本図から明らかなように、パターン寸法が $0.5\mu\text{m}$ の場合と $1.2\mu\text{m}$ の場合とでは、エッチング深さに約

15%もの差が生ずる。

【0005】 そのため、図5に示すように、パターンが密な領域(A)に形成されるパターン10aのエッチング速度を基準にしてエッチング時間を設定すると、パターンが疎な領域(B)に隣接して形成されるパターン10bはエッチング速度が大きくなるために過剰にエッチングされてしまい、加工断面形状不良が発生する。

【0006】 他方、図6に示すように、パターンが疎な領域(B)に隣接して形成されるパターン10bのエッチング速度を基準にしてエッチング時間を設定すると、逆にパターンが密な領域(A)に形成されるパターン10aのエッチング量が不足し、加工断面形状不良が発生する。

【0007】 また、パターンが密な領域と疎な領域との境界領域では、パターン加工後の工程で堆積される平坦化用の層間絶縁膜に不均一な膜応力が発生し、膜中にクラックが発生するという問題がある。

【0008】 すなわち、図7に示すように、パターン10が密な領域(A)と疎な領域(B)とが混在する場合、パターン形成後の工程で層間絶縁膜11を堆積すると、下地となる加工済みのパターン10の密度を反映して、領域によって層間絶縁膜の膜厚に大きな差が生じ、特にパターン10が疎な領域(B)の中央部で膜厚が薄くなる。その結果、パターン10が密な領域(A)と疎な領域(B)との境界部分では、層間絶縁膜11の膜厚の急激な変化によって膜応力が集中し、熱処理工程で膜中にクラックが発生する。この問題は、特に層間膜としてスピノングラス(Spin On Glass: SOG)を採用した場合に顕著である。

【0009】 本発明は、上記した問題点に着目してなされたものであり、その目的は、パターンが密な領域と疎な領域との境界部における層間絶縁膜のクラック発生を抑制することのできる技術を提供することにある。

【0010】 本発明の他の目的は、パターンが密な領域と疎な領域とが混在する箇所におけるマイクロローディング効果の影響を抑制することのできる技術を提供することにある。

【0011】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかなるであらう。

【0012】

【課題を解決するための手段】 本発明による半導体集積回路装置の製造方法は、半導体基板上に堆積した薄膜をエッチングにより加工して所定のパターンを形成する際、パターンが疎な領域にダミーパターンを配置し、前記ダミーパターンとこれに隣接するパターンとの間隔をパターンが密な領域に形成されるパターン同士の間隔と略等しくするものである。

【0013】 また、前記パターンおよびダミーパターンを形成した後、それらの上にSOGなどの層間絶縁膜を

堆積するものである。

【0014】

【作用】上記した手段によれば、パターンが疎な領域にダミーパターンを配置し、ダミーパターンとこれに隣接するパターンとの間隔をパターンが密な領域に形成されるパターン同士の間隔と略等しくすることにより、パターンが疎な領域が実質的に無くなり、全てのパターン（ダミーパターンを含む）同士の間隔が略等しくなるため、マイクロローディング効果の影響を抑制することができる。

【0015】また、これにより、パターン（ダミーパターンを含む）上に堆積される層間絶縁膜の膜厚が基板上の全面で平坦化されるため、膜中のクラック発生を抑制することができる。

【0016】

【実施例】本実施例は、配線のパターン加工に対して本発明によるダミーパターンを利用した例である。図1および図2に示すように、シリコン単結晶からなる半導体基板1の主面上には、酸化珪素膜2が形成されており、この酸化珪素膜2上の領域(A)には、例えばアルミニウム系合金からなる複数本の配線3が等間隔でパターン形成されている。また、この領域(A)に囲まれた、配線3の存在しない領域(B)には、矩形的ダミーパターン4がパターン形成されている。

【0017】上記配線3の加工寸法(L₁)は、0.5μmであり、配線3、3同士の間隔(S₁)は、0.5μmである。また、ダミーパターン4の幅(L₂)は、5.0μmであり、ダミーパターン4とこれに隣接する配線3との間隔(S₂)は、配線3、3同士の間隔(S₁)と同じ0.5μmである。さらに、配線3の高さ(H₁)は、1.0μmであり、従って、そのアスペクト比(H₁/S₁)は、2.0である。

【0018】上記配線3およびダミーパターン4は、まず、スパッタリング法によって酸化珪素膜2上にアルミニウム系合金の薄膜を厚さ1.20±0.5μm程度堆積し、この薄膜上にフォトリソのマスクを形成した後、塩素系ガスを用いたドライエッチングでこの薄膜を加工することにより、同時に形成したものである。

【0019】このとき、基板面内における配線3の高さ(H₁)のバラツキは、1.0±0.01μmであった。これに対し、領域(B)にダミーパターン4を設けず、配線3のみを形成した場合、基板面内における配線3の高さ(H₁)のバラツキは、1.0±0.12μmであった。従って、領域(B)にダミーパターン4を設けたことにより、基板面内における配線3の高さ(H₁)のバラツキを1/12に低減することができた。

【0020】次に、図3に示すように、上記配線3およびダミーパターン4の上に、スピノングラスからなる平坦化用の層間絶縁膜5を堆積した。このスピノングラスは、最大膜厚1.2μmを目標として基板1上にスピ

(3)

(3)

ン塗布し、400℃の窒素雰囲気中で10分間バークした。このとき、基板面内におけるスピノングラスの膜厚(H₂)は、1.1±0.1μmと高精度で平坦化を実現することができた。また、スピノングラス膜中のクラック発生率は、0.1%であった。

【0021】これに対し、領域(B)にダミーパターン4を設けず、配線3のみを形成した後、その上にスピノングラスからなる層間絶縁膜5を堆積した場合、基板面内におけるスピノングラスの膜厚(H₂)は、配線3を等間隔でパターン形成した領域(A)で1.1±0.1μm、配線3の存在しない領域(B)で0.2±0.05μmであった。また、ウエハ単位で3%の割合で、領域(A)と領域(B)との境界部のスピノングラス膜中にクラックが発生した。従って、領域(B)にダミーパターン4を設けたことにより、スピノングラスのクラック発生率を1/30に低減することができた。

【0022】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0023】すなわち、酸化珪素膜上に形成するパターンは、アルミニウム系合金からなる配線に限定されるものではなく、例えば多結晶シリコンや高融点金属(W、Mo、Tiなど)からなるパターンでもよい。

【0024】また、パターン上に堆積する平坦化用の層間絶縁膜は、スピノングラスに限定されるものではなく、例えばCVD法で堆積される酸化珪素膜や窒化珪素膜でもよい。

【0025】

【発明の効果】(1).半導体基板上に堆積した薄膜をエッチングにより加工して所定のパターンを形成する際、パターンが疎な領域にダミーパターンを配置し、前記ダミーパターンとこれに隣接するパターンとの間隔をパターンが密な領域に形成されるパターン同士の間隔と略等しくすることにより、マイクロローディング効果の影響を抑制することができるので、微細なパターンの加工精度が向上する。

【0026】(2).また、上記パターンおよびダミーパターンを形成した後、それらの上に層間絶縁膜を堆積することにより、膜中のクラック発生を抑制することができるので、層間絶縁膜の信頼性が向上する。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の製造方法を示す図2のI-I線における断面図である。

【図2】この半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図3】この半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図4】エッチング深さのパターン寸法依存性を示すグラフ図である。

(4)

(4)

6

5

【図5】従来技術である半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図6】従来技術である半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図7】従来技術である半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

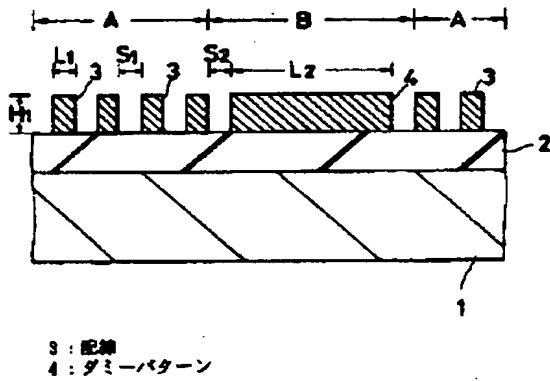
【符号の説明】

- 1 半導体基板
- 2 酸化珪素膜
- 3 配線
- 4 ダミーパターン

- 5 層間絶縁膜
- 10 パターン
- 10a パターン
- 10b パターン
- 11 層間絶縁膜
- H₁ 高さ
- H₂ 膜厚
- L₁ 加工寸法
- L₂ 幅
- 10 S₁ 間隔
- S₂ 間隔

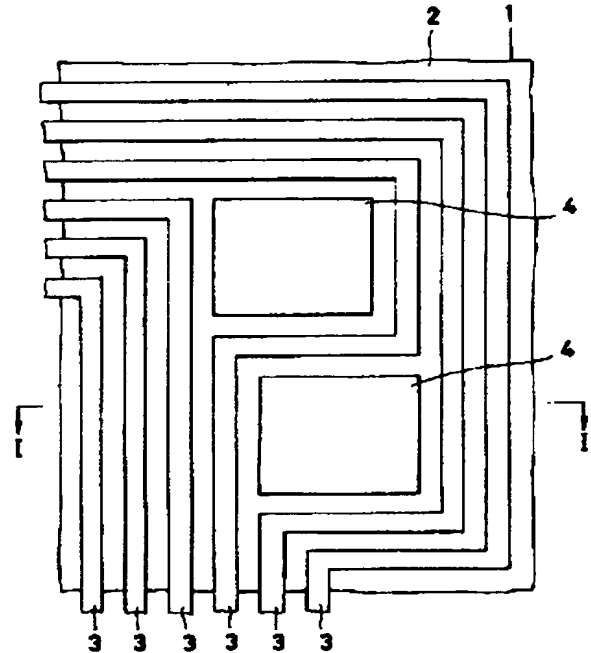
【図1】

図 1



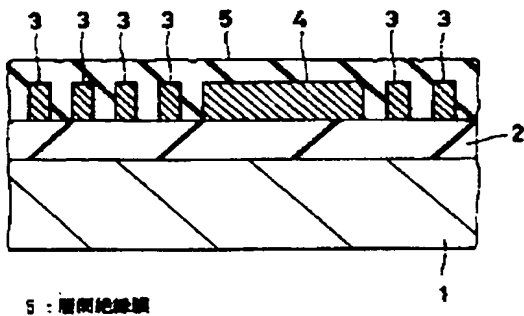
【図2】

図 2



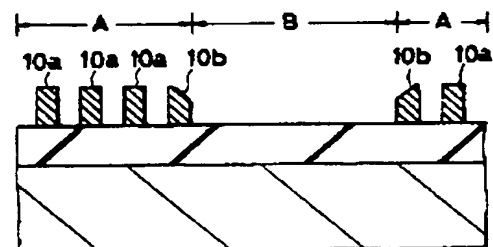
【図3】

図 3



【図5】

図 5



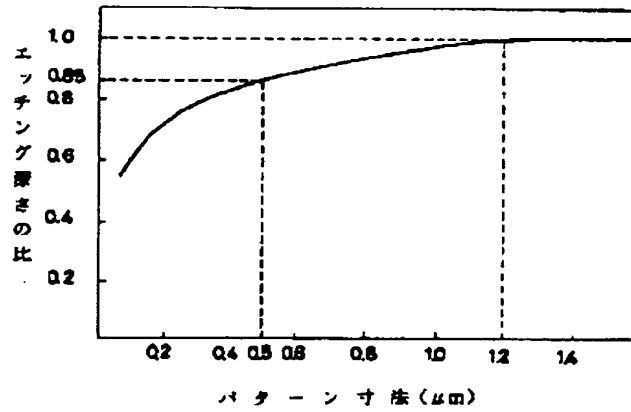
(5)

特開平4-307958

(5)

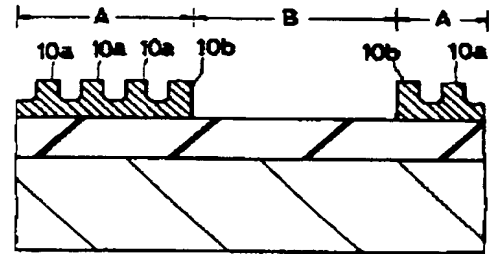
【図4】

図 4



【図6】

図 6



【図7】

図 7

